

(11)Publication number : 05-259443  
(43)Date of publication of application : 08.10.1993

H01L 21/336

(72)Inventor : UENO KATSUNORI

Priority number : 04 5942      Priority date : 16.01.1992      Priority country : JP

\* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1]A semiconductor device which uses silicon carbide as a main material, comprising:

Base area of the 1st conductivity type with which the source region of the 2nd conductivity type with which a source electrode is installed in a position which stands face to face against a drain electrode connected on a drain area of the 2nd conductivity type was formed in an inside.

A gate electrode which covered said drain area from said source region, and was installed via gate oxide on base area of this 1st conductivity type.

[Claim 2]Claim 1 which is provided with the following and characterized by forming said high concentration region in a plane of composition of this drain area of the 1st layer, and said drain area of the 2nd layer.

A drain area of the 2nd layer in which said base area was formed in said drain area.

A drain area of the 1st layer used as a base where this drain area of the 2nd layer grows epitaxially.

[Claim 3]An insulated gate type semiconductor device with which impurity concentration of said drain area of the 2nd layer is characterized by a low thing in Claim 2 as compared with impurity concentration of said drain area of the 1st layer.

[Claim 4]An insulated gate type semiconductor device, wherein a well region of the 1st conductivity type with high impurity concentration is formed in an inside of said base area in either of the Claims 1-3 as compared with this base area.

[Claim 5]Are a semiconductor device which uses silicon carbide as a main material, and in a position which stands face to face against a drain electrode connected on a drain area of the 2nd conductivity type. In an insulated-gate type semiconductor with which the source region of the 2nd conductivity type in which a source electrode is installed has the base area of the 1st conductivity type formed in an inside, An insulated gate type semiconductor device, wherein it covers the surface of base area of said 1st conductivity type from said source region in said drain area, it has a channel formation layer of the 2nd conductivity type and a gate electrode is installed via gate oxide on this channel formation layer.

[Claim 6]An insulated gate type semiconductor device characterized by said channel formation layer being a low concentration layer with impurity concentration low as compared with said source region in Claim 5.

[Translation done.]

## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application]This invention relates to the structure of the semiconductor device especially used for a power device about the insulated-gate type semiconductor device which used silicon carbide (SiC) as a main semiconductor material.

[0002]

[Description of the Prior Art]As for the main semiconductor material of the semiconductor device used as a power device, silicon (Si) is adopted conventionally. However, various new materials are examined from the limit resulting from materials, such as reduction of resistance, and a problem of cooling. In it, since the maximum field intensity ( $E_m$ ) is large single or more figures compared with silicon, silicon carbide (SiC) attracts attention as a main material of a next-generation power device. That is, since the maximum field intensity ( $E_m$ ), the resistance  $R_{on}$  at the time of a flow, and switching speed  $t_f$  have the following relation, when the single or more figures maximum field intensity ( $E_m$ ) becomes large, large improvement in performance is achieved.

[0003]First, in MOSFET, the following relations are approximately materialized about the resistance  $R_{on}$  at the time of a flow.

[0004]

[Equation 1]

$$R_{on} \propto E_m^{-3} \quad \dots \quad (1)$$

[0005]In switching speed  $t_f$ , the following relations are realized approximately.

[0006]

[Equation 2]

$$t_f \propto E_m^{-1} \quad \dots \quad (2)$$

[0007]If it explains based on the structure of the conventional power metal-oxide semiconductor field effect transistor shown in drawing 7, a formula (1) will think that the main resistance of the element at the time of a flow is equal to resistance of the drain layer 11.

[0008]Namely, the  $n^-$  type drain layer 11 which grew epitaxially the surface of the  $n^+$  type semiconductor substrate 5 on which the drain electrode 12 was connected to the rear face in the conventional MOSFET is formed. The  $n^+$  type source layer 6 is formed in the surface of the drain layer 11 inside the base layer 8 at the p type base layer 8 and the pan. And the surface of the source layer 6 is covered from the surface of the base layer 8, the source electrode 10 is connected, further, the surface of the drain layer 11 is covered through the base layer 8 from the surface of the source layer 6, and the gate electrode 1 is installed via the gate dielectric film 2. For this reason, if high potential is impressed to the gate electrode 1, a channel will be formed in the surface of the base layer 8, and current will flow into the drain layer 11 and a pan from the source layer 6 through this channel at the substrate 5. And the result approximated based on resistance of the drain layer 11 used as this main course is expressed to the formula (1). This assumption is the right mostly at the element which that influence needed to be considered in the element of pressure-proofing not more than 300V since resistance of a channel became large, but had pressure-proofing beyond 300V. That is, in the element of high withstand pressure, when the maximum field intensity ( $E_m$ ) becomes large, the resistance  $R_{on}$  at the time of a flow falls rapidly. For this reason, in the power device using silicon carbide as a main semiconductor material, since it can resist very small compared with the power device made from silicon, as an element which secures the same current density, element areas can be substantially made small. Therefore, compared with the conventional power device, the power device of a low price can be further realized with a small light weight. If the single figure maximum field intensity ( $E_m$ ) becomes large according to the approximate expression (1), reduction of the resistance  $R_{on}$  at the time of the flow of about triple figures will be expected, but since the electron mobility in silicon carbide is small, it becomes reduction which is figures double [ about ]. Therefore, element resistance can be made or less [ in the case of silicon ] into 1/10 by using silicon carbide.

[0009]Since energy difference has a band gap more than twice as compared with silicon, silicon carbide has dramatically small influence of the temperature to resisting pressure performance etc. Therefore, in the power device which used silicon carbide as a main material, it is not necessary to take required cooling into consideration with the conventional power device. For this reason, the miniaturization of a device and low-pricing are easily realizable by using the power device by silicon carbide.

[0010]

[Problem(s) to be Solved by the Invention] Thus, the power device using silicon carbide has many strong points compared with the power device by conventional silicon, and is a promising semiconductor material. However, there is a problem which the mobility of the carrier in silicon carbide calls low \*\*. In particular, the mobility of an electron hole is low and there is a tendency for resistance of p field to become large.

[0011] For this reason, voltage stopping power declines and it is possible to result in an element breakdown so that the following may be carried out.

[0012] That is, also in the device which adopted silicon carbide as a semiconductor material, the conductivity region of a p type and a n type and the pn junction surface are formed by introducing a donor and an acceptor like silicon. And to silicon carbide, it is known by introducing B and aluminum as an acceptor that a p type diffusion region can be formed. However, it is several or less percent that these acceptor levels are thermally activated among 0.2 eV or the acceptor introduced [ in / become, and it is deep and / the room temperature ], and are taking out the carrier. The mobility of the electron hole in silicon carbide is as low as about several ten. Therefore, if silicon is compared, in the same acceptor concentration, resistance of the direction of silicon carbide will become high far.

[0013] On the other hand, in MOSFET shown in drawing 7, the acceptor concentration of the p type base layer 8 is designed so that the threshold of the MOS inversion layer which forms a channel may become fixed. Although set as a  $10^{16} - 10^{17} \text{ cm}^{-3}$  grade in MOSFET of usual silicon, if acceptor concentration is made high more than this, for a becoming [ impossible / it / a threshold increases and / to drive easily ] reason, it is impossible to enlarge acceptor concentration freely. Therefore, in MOSFET made from silicon carbide, the resistance of a p type base will become high.

[0014] Thus, in a base layer, resistance will bring about aggravation of dynamic characteristics. That is, when an element shifts to non-switch-on from switch-on, foreign voltage will be added to \*\*\*\* between source 10 and the drain 12 of an element. This voltage is impressed to the pn junction between the p type base layer 8 and the n type base layer 11, and the depletion layers 20 and 19 spread in each layer. And these depletion layers 19 and 20 spread with the rise of voltage, leave the donor 18 who ionized, and the ionized acceptor 19, and eliminate the carrier located in this field. And it passes through the hole current 16 source electrode 10, and it flows through the electron current 15 into the drain electrode 12 side. For this reason, these carriers flow also into the source electrode 10 as charging current which charges pn junction. And the pnp transistor constituted by this charging current by the source layer 6, the base layer 8, and the drain layer 11 will be in switch-on, and big current will flow into an element, will lose voltage element capability, and will result in an element breakdown.

[0015] The equivalent circuit for explaining the state at the time of this turn-off is shown in drawing 8. In MOSFET shown in drawing 7, it has the form where the pnp transistor 14 constituted by the external power 21 via the load inductance 24 by the source layer 6, the base layer 8, and the drain layer 11 was connected. And it has the form where the resistance component 23 of the base layer 8 was connected with the base of this transistor 14 between collectors, and the junction capacitance 22 of the depletion layers 19 and 20 was connected between the base and the emitter. Therefore, if the charging current which charges the junction capacitance 22 flows into the resistance component 23, by the voltage drop of this resistance component 23, the base potential of the transistor 14 will rise and between the collector emitters of the transistor 14 will be in switch-on. This phenomenon is called latchup and may cause destruction at the time of the turn-off of an element.

[0016] Thus, in the semiconductor device which uses silicon carbide as a main material, while the resistance at the time of a flow has many advantages -- it is low and heat resistance is also high -- there is a problem that the high pressure-proofing at the time of a turn-off cannot be taken from conditions, such as keeping the threshold of MOSFET constant.

[0017] Then, in this invention, it aims at realizing the semiconductor device with which the resisting pressure performance at the time of a turn-off was held in view of the above-mentioned problem by reducing resistance of the base layer of the insulated gate type semiconductor device using silicon carbide as a main material.

[0018]

[Means for Solving the Problem] In order to solve above-mentioned SUBJECT, he is trying to form in a pars basilaris ossis occipitalis of base area locally a junction area where concentration is high in this invention. Namely, it is a semiconductor device which uses silicon carbide concerning this invention as a main material, Base area of the 1st conductivity type with which the source region of the 2nd conductivity type with which a source electrode is installed in a position which stands face to face against a drain electrode installed on a drain area of the 2nd conductivity type was formed in an inside. He is trying to form a high concentration region of the 1st conductivity type with high impurity concentration in a base area pars basilaris ossis occipitalis as compared with this base area in an insulated gate type semiconductor device which has the gate electrode which covered a drain area from the source region and was installed via gate oxide on base area of this 1st conductivity type.

[0019] When silicon carbide is used as a semiconductor material, it is dramatically difficult for a diffusion coefficient of an impurity to form an extremely small deep junction area as compared with silicon. For this reason, a drain area of the 2nd layer in which base area was formed in a drain area. It is effective to constitute from a drain area of the 1st layer used as a base where this drain area of the 2nd layer grows epitaxially, and to form a high concentration region in a plane of composition of this drain area of the 1st layer and a drain area of the 2nd layer.

[0020] It is effective to hold impurity concentration of a drain area of the 2nd layer low as compared with impurity concentration of a drain area of the 1st layer. It is desirable to form a well region of the 1st conductivity type with high impurity concentration in base area as compared with this base area.

[0021] It is a semiconductor device which uses silicon carbide as a main material like the above, In an insulated-gate type semiconductor which has the base area of the 1st conductivity type with which the source region of the 2nd conductivity

type with which a source electrode is installed in a position which stands face to face against a drain electrode connected on a drain area of the 2nd conductivity type was formed in an inside, It is also effective to cover the surface of base area of the 1st conductivity type from the source region in a drain area, to have a channel formation layer of the 2nd conductivity type, and to install a gate electrode via gate oxide on this channel formation layer. And it is desirable to make this channel formation layer into a low concentration layer with low impurity concentration as compared with the source region.

[0022]

[Function]The point which poses a problem in the insulated gate type semiconductor device which uses silicon carbide as a main material is being unable to make resistance of base area low in order to keep constant the threshold which forms a channel, as mentioned above. Therefore, reduction can be aimed at for the resistance in base area by forming the high concentration region where the impurity concentration of a base area pars basilaris ossis occipitalis is high, without changing the impurity concentration on the surface of base area in which a channel is formed. For this reason, by growing the drain area of the 2nd layer epitaxially on this drain area surface of the 1st layer first, after carrying out diffusion formation of the high concentration region on the surface of the drain area of the 1st layer, Also in the device which uses silicon carbide with a low diffusion coefficient of an impurity as a semiconductor material, a deep high-concentration diffusion region can be formed easily.

[0023]By reducing the impurity concentration of the drain area of the 2nd layer, reduction of the charging current which flows at the time of a turn-off is achieved, and it becomes possible to control the flow of a transistor which is parasitic on the insulated gate type semiconductor device by this charging current.

[0024]By forming a high-concentration well region in the inside of base area, it is possible to lower the resistance of base area further, and improvement in the resisting pressure performance at the time of a turn-off can be aimed at.

[0025]It is possible also by covering the surface of the base area of the 1st conductivity type from the source region in a drain area, having a channel formation layer of the 2nd conductivity type on the other hand, and installing a gate electrode in this channel formation layer via gate oxide to aim at improvement in the resisting pressure performance at the time of a turn-off. That is, the field effect transistor of an assembling die can be formed using the channel formation layer formed on the surface of base area, and the function of a turn-on turn-off can be given. Therefore, there is no influence in the threshold which forms a channel also as high concentration about the base area of the 1st conductivity type, and, for this reason, it becomes possible to send charging current through high-concentration base area. As a result, the voltage drop by the charging current which flows through high-concentration base area can be suppressed small, operation of a parasitic transistor is controlled, and it becomes possible to prevent latchup.

[0026]When such a channel formation layer is provided, a threshold can be controlled by the impurity concentration of this channel formation layer, thickness, etc., and it is possible by making impurity concentration into low concentration to realize a controllable good insulated gate type semiconductor device.

[0027]

[Example]With reference to Drawings, working example of this invention is described below.

[0028][Working example 1] The structure of the insulated gate type semiconductor device concerning this example is shown in drawing 1. This device is constituted considering silicon carbide as a main semiconductor material, and the 1st n

- type drain layer 4 first grown epitaxially into the surface of the n<sup>+</sup> type semiconductor substrate 5 on which the drain electrode 12 is connected to a rear face is formed. And the 2nd n<sup>-</sup> type drain layer 3 is formed by epitaxial growth on this 1st drain layer 4. The donor concentration of this 2nd drain layer 3 is adjusted so that it may become lower than the 1st drain layer 4.

The 2nd drain layer thickness is also formed with around 1 micrometer as thinly as possible.

On the 1st drain layer 4, the p<sup>+</sup> type embedded layer 9 which is high concentration is formed. And the p type base layer 8 which used the 2nd drain layer 3 for the upper part of this embedded layer 9, and was formed in it is constituted. The n<sup>+</sup>

type source layer 6 is formed in the surface portion in this p type base layer 8, and the p<sup>+</sup> type well 7 is formed in the center section of the base layer 8. And it applies to the well 7 from the source layer 6, and the source electrode 10 is connected, further, the surface of the base layer 8 and the surface of the 2nd drain layer 3 are covered from the end of the source layer 6, and the gate electrode is installed via the gate oxide 2. The switch-on of MOSFET of this example is attached like the conventional MOSFET explained previously, and omits explanation.

[0029]In this device of such composition, if potential difference arises in the source electrode 10 and the drain electrode 12 at the time of a turn-off, a depletion layer will be formed in the pn junction part of the base layer 8 and the 2nd drain layer 3, and the pn junction part of the embedded layer 9 and the 1st drain layer 4. And charging current mainly flows toward the source electrode 10 from the pn junction part of the embedded layer 9 and the 1st drain layer 4. It is because this has the total amount of the flowing current equal to the total amount of the donor in a depletion layer who ionized, or an acceptor. The total amount of the ion in a depletion layer when the voltage V is impressed is approximated by the following formulas.

[0030]

[Equation 3]

$$N \propto \sqrt{(\rho V)} \quad \dots \dots \dots (3)$$

[0031]Here, rho is ion density and N is a total amount of ion. That is, there are also so few total amounts of ion that ion density is low, and charging current also decreases. In this device, the acceptor concentration of the base layer 8 is low

compared with the embedded layer 9, and the donor concentration of the 2nd drain layer 3 is still lower compared with the donor concentration of the 1st drain layer 4. Therefore, the charging current from the depletion layer which spreads in the pn junction part of the base layer 8 and the 2nd drain layer 3 becomes very small at the pn junction part of the embedded layer 9 and the 1st drain layer 4 compared with the charging current from a depletion layer.

[0032] Thus, in this device, since the embedded layer 9 into which charging current mainly flows into from the pn junction part of the embedded layer 9 and the 1st drain layer 4, and many of the charging current flows is a high-concentration diffusion zone, resistance is low. In this device, since the well 7 with high acceptor concentration is formed in the inside of the base layer 8, it is designed so that resistance may become low in the whole course through which the charging current from the embedded layer 9 flows into the source electrode 10. Therefore, it becomes possible to reduce the voltage drop resulting from charging current flowing through a base layer, and fault which makes switch-on the parasitic transistor constituted by the source layer 10, the base layer 8, and the drain layers 3 and 4 can be avoided. Therefore, in this device, a parasitic transistor serves as one at the time of a turn-off, and element breakdown generating by superfluous current flowing can be prevented.

[0033] Thus, in this device, the voltage drop in a base layer can be controlled by sending the current at the time of a turn-off via a high-concentration diffusion zone with low resistance, without affecting the threshold of channel formation. Therefore, it becomes possible to improve the resisting pressure performance at the time of the turn-off which was a problem, the maximum field intensity ( $E_m$ ) being large and using the silicon carbide the resistance  $R_{on}$  at the time of a flow and the extensive improvement of switching speed  $t_f$  are expected to be as a semiconductor material.

[0034] When forming a semiconductor device like this example using silicon carbide with a small diffusion coefficient of an impurity, a high-concentration embedding type diffusion zone may be formed in the point which poses a problem. And in the device of this example, formation of the high-concentration embedding type diffusion zone is made easy by forming the two-layer drain layer 3, i.e., the 1st drain layer, and the 2nd drain layer 4 for this point one by one.

[0035] An example of the process which manufactures the device of this example is shown in drawing 2. First, as shown in drawing 2 (a), the  $p^+$  type layer 9 of low resistance is selectively formed in the 1st  $n^-$  type drain layer 4 that carried out shrimp TAKISHARU growth on the  $n^+$  semiconductor substrate 5 of type by methods, such as diffusion, at high

concentration. Next, as shown in drawing 2 (b), the 2nd  $n^-$  type drain layer 3 is formed by epitaxial growth on this 1st drain layer 4. Thus, a deep high-concentration embedded layer can be easily formed by dividing a drain layer into two-layer and forming it. As mentioned above, as thin the one of the 2nd drain layer 3 as possible is good, and it has been about 1 micrometer in this example. It is because it is possible to limit a depletion layer region and reduction in charging current can be aimed at, so that there is little thickness, since this serves as a range in which a depletion layer spreads from the p type base layer 8 which this thickness mentions later.

[0036] Next, as shown in drawing 2 (c), the gate dielectric film 2 and the gate electrode 1 are formed on the semiconductor substrate made from the silicon carbide formed above. And as shown in drawing 2 (d), the p type base

layer 8 and the  $n^+$  type source layer 6 are formed by using this gate electrode 1 as a mask. In order to lower resistance between the source electrode 10 connected to the source layer 6 and the base layer 8, and the embedded layer 9, the  $p^+$  type well region 7 is formed in base layer 8 inside. In order to reduce the charging current from the depletion layer which spreads between the base layer 8 and the 2nd drain layer 3, it is as having explained above to have made it better [ for the impurity concentration of the 2nd drain layer 3 to fall to from the 1st drain layer 4 ].

[0037] [Working example 2] The structure of the insulated gate type semiconductor device concerning this example is shown in drawing 3. This device as well as working example 1 is constituted considering silicon carbide as a main

semiconductor material. The point that the  $n^-$  type drain layer 4 which grew epitaxially the surface of the  $n^+$  type semiconductor substrate 5 on which the drain electrode 12 is connected to a rear face is formed is the same as working

example 1. The point which should be noted in the device of this example is that the  $p^+$  type base layer 30 which is high concentration is formed on this drain layer 4. It is that cover the drain layer 4 from the  $n^+$  type source layer 6 formed in the surface of this base layer 30, and the n type channel formation layer 31 is formed. And the gate electrode is installed via the gate oxide 2 on this channel formation layer 31.

[0038] Operation of this device is explained based on drawing 4 in which the portion in which a channel is formed was expanded and shown. The device of this example forms what is called a junction field effect transistor (JFET) using the channel formation layer 31. First, when the electronegative potential of the positive or small value is impressed to the gate electrode 4 from the control power source 28 to the source electrode 10, the breadth of the depletion layer 36 formed toward the base layer 30 from the surface of the channel formation layer 31 is small. Therefore, the electron from the source layer 6 flows into the drain layer 4 through the course 37 between this depletion layer 36 and the depletion layer 35 which spreads from the base layer 30.

[0039] If electronegative potential impressed to the gate electrode 4 is enlarged, the depletion layer 36 will spread and go toward the base layer 30, and an electronic passage will become narrow. And since an electronic passage will be lost if it will be in the state of the pinch-off connected with the depletion layer 35 which spreads from the base layer 30 at last, an electron will not flow and this device will be in the state of a turn-off. If the potential difference of the drain electrode 12 and the source electrode 10 becomes large by an OFF state, the depletion layer 35 spreads from the base layer 30, charging current flows, and it has been a problem with the conventional device. However, in the device of this example, since the base layer 30 is set as high concentration, the potential of the base layer 30 does not become high according to

charging current, and the parasitic transistor constituted by the source layer 6, the base layer 30, and the drain layer 4 does not serve as one. Therefore, the latchup at the time of a turn-off can be prevented.

[0040]Turning on and off of this element is controlled by the depletion layer 36 which spreads in the channel formation layer 31 which is a n type field, as mentioned above. Therefore, the threshold  $V_t$  of the gate potential of this device is determined by the thickness of the channel formation layer 31, and donor concentration. For example,  $V_t$  is expressed with the following formulas when the depletion layer 36 adopts the value in which only the thickness of the channel formation layer 31 spread as the threshold  $V_t$ .

[0041]

$$[Equation\ 4] \quad V_t = q \cdot N_d \cdot W \left( \frac{d}{\epsilon_i} + \frac{W}{2 \epsilon_s} \right) \quad \dots \quad (4)$$

[0042]It is here, and the donor concentration of the channel formation layer 31 and  $W$  show the thickness of the channel formation layer 31,  $\epsilon_i$  shows the dielectric constant of the gate dielectric film 2, and, as for  $q$ ,  $\epsilon_s$  shows the dielectric constant of a semiconductor, as for elementary charge and  $N_d$ . The electric field electric charge is disregarded. When [

using this formula ]  $d = 1000 \text{ \AA}$  ( $\text{SiO}_2$ ),  $W = 0.1 \text{ micrometer}$ , and  $N_d = 10^{16} \text{ cm}^{-3}$ , a value called abbreviated 1.2V can be obtained as the threshold  $V_t$ , and it turns out that it can be dealt with like the semiconductor device using silicon. Since the voltage by the side of a drain electrode rises and the depletion layer 35 from the base layer 30 spreads further as this device turns off, the threshold  $V_t$  becomes smaller than the above-mentioned value.

[0043]An example of the process which manufactures the device of this example to drawing 5 and 6 is shown. First, as shown in drawing 5 (a), the SiC substrate by which the n<sup>+</sup> type drain layer 4 which carried out shrimp TAKISHARU

growth was formed on the n<sup>+</sup> semiconductor substrate 5 of type is used. And a pattern is formed in the surface of this drain layer 4 by the photoresist 32, the p type impurity ion 33 is poured in from on that, and the p type impurity for forming the p<sup>+</sup> type layer 30 of low resistance at high concentration is introduced. Of course, in order to, make this p<sup>+</sup> type layer 30 into low resistance if possible, it may form by the other methods, for example, gaseous phase diffusion, or epitaxial growth.

[0044]Next, as shown in drawing 5 (b), the impurity introduced by the ion implantation is activated by heat treatment, and the p<sup>+</sup> type layer 30 is formed. And as shown in drawing 5 (c), the p<sup>+</sup> type layer 30 was formed, and also the n field 31 is further formed by epitaxial growth uniformly. Although the channel formation layer 31 is constituted by this n field, it is a value in which a  $10^{15} - 10^{18} \text{ cm}^{-3}$  grade realizes impurity concentration, and about 0.1-several micrometers can realize thickness.

[0045]Next, as shown in drawing 6 (a), it patterns by forming the gate dielectric film 2 and the gate electrode 1. As for SiC, since  $\text{SiO}_2$  can grow by oxidizing thermally, it is desirable to use this  $\text{SiO}_2$  as the insulator layer 2. And as shown in

drawing 6 (b), the n<sup>+</sup> type source layer 6 is formed with ion implantation or a gaseous phase diffusion method by using the gate electrode 1 as a mask. Then, as shown in drawing 6 (c), the source layer 6 is dug selectively and the base layer 30 is exposed, and junction to a source electrode is possible and it is making. Of course, in the process shown in drawing 6 (b),

it is also possible also by forming p<sup>+</sup> type diffusion in a part of source layer 6 from the surface, and making it join to the base layer 30 to connect the base layer 30 with a source electrode. Thus, an electrode is formed in the formed semiconductor device and the device of this example is completed.

[0046]Although it explained based on the power device of the vertical mold with which the drain electrode was installed in the rear face of a semiconductor substrate, and the source electrode was installed in the surface in above-mentioned working example 1 and 2, Also in the power device of a horizontal type with which a drain electrode and a source electrode are installed in the same field, a device with low conduction resistance and possible fast switching, and high resisting pressure performance at the time of a turn-off is realizable by the same composition as above-mentioned working example. And it becomes possible to realize the thing provided with various performances required of a power device in recent years, such as a miniaturization of a device, and a weight saving. Although above-mentioned working example has been described based on MOSFET, the art concerning this invention is applicable to all the insulated gate type semiconductor devices, such as IGBT and MCT.

[0047]

[Effect of the Invention]In the insulated gate type semiconductor device applied to this invention as explained above, In expecting the improvement with the large maximum field intensity ( $E_m$ ), and the extensive resistance  $R_{on}$  at the time of a flow and switching speed  $t_f$ . When adopting silicon carbide with good heat resistance characteristics as a semiconductor material, the resisting pressure performance at the time of the turn-off used as a problem is solved by forming a deep high concentration region in base area. In the semiconductor device concerning this invention, it is possible to have adopted easily the composition which can be formed for the deep diffusion zone which poses a problem, when using silicon carbide with a low diffusion coefficient as a material, and to provide a cheap device.

[0048]It is possible also by providing a channel formation layer and turning on and off according to the electric field effect of an assembling die on the surface of base area, using this channel formation layer to attain low resistance-ization by making base area into high concentration. Therefore, the latchup of the parasitic transistor which was a problem can be controlled with the semiconductor device made from silicon carbide at the time of a turn-off, and it becomes possible to secure the resisting pressure performance at the time of a turn-off.

[0049]Thus, by using the semiconductor device of composition of starting this invention, it becomes possible to realize

the power device which harnessed the characteristic of silicon carbide, and it becomes possible to provide a highly efficient, small, and lightweight insulated gate type semiconductor device. And it can contribute to the small size of a various device, a light weight, and also power-saving by using the power device concerning this invention.

---

[Translation done.]



## \* NOTICES \*

JP0 and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

## DESCRIPTION OF DRAWINGS

## [Brief Description of the Drawings]

[Drawing 1]It is a sectional view showing the composition of the insulated gate type semiconductor device concerning working example 1 of this invention.

[Drawing 2]It is a sectional view showing the manufacturing process of the insulated gate type semiconductor device shown in drawing 1.

[Drawing 3]It is a sectional view showing the composition of the insulated gate type semiconductor device concerning working example 2 of this invention.

[Drawing 4]It is a sectional view expanding and showing the portion concerning the channel formation layer of the insulated gate type semiconductor device shown in drawing 3.

[Drawing 5]It is a sectional view showing the first half of the manufacturing process of the insulated gate type semiconductor device shown in drawing 3.

[Drawing 6]It is a sectional view showing the second half of the manufacturing process of the insulated gate type semiconductor device shown in drawing 3.

[Drawing 7]It is an outline lineblock diagram for explaining operation of the conventional insulated gate type semiconductor device.

[Drawing 8]It is a circuit diagram showing the equivalent circuit of the insulated gate type semiconductor device shown in drawing 7.

## [Description of Notations]

- 1 ... Gate electrode
- 2 ... Gate dielectric film
- 3 ... The 2nd n<sup>+</sup> type drain layer
- 4 ... The 1st n<sup>+</sup> type drain layer
- 5 ... n<sup>+</sup> type semiconductor substrate
- 6 ... n<sup>+</sup> type source layer
- 7 ... p<sup>+</sup> type well region
- 8 ... P type base layer
- 9 ... p<sup>+</sup> type embedded layer
- 10 ... Source electrode
- 11 ... Drain layer
- 12 ... Drain electrode
- 14 ... Npn transistor
- 15 ... Electron current
- 16 ... Hole current
- 17 ... Donor who ionized
- 18 ... Ionized acceptor
- 19, 20 ... Depletion layer
- 30 ... p<sup>+</sup> type base layer
- 31 ... N type channel formation layer
- 32 ... Photoresist
- 33 ... P type impurity ion
- 34 ... P type impurity
- 35, 36 ... Depletion layer
- 37 ... Course of electron current
- 38 ... Control power source

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-259443

(43)公開日 平成5年(1993)10月8日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/784  
21/336

識別記号

庁内整理番号

F I

技術表示箇所

7377-4M  
7377-4M

H 0 1 L 29/ 78

3 0 1 B  
3 0 1 P

審査請求 未請求 請求項の数6(全 9 頁)

(21)出願番号 特願平4-106589

(22)出願日 平成4年(1992)4月24日

(31)優先権主張番号 特願平4-5942

(32)優先日 平4(1992)1月16日

(33)優先権主張国 日本 (J P)

(71)出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72)発明者 上野 勝典

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

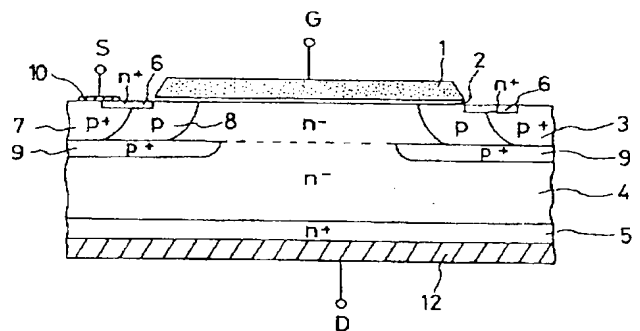
(74)代理人 弁理士 山田 稔

(54)【発明の名称】 絶縁ゲート型半導体装置

(57)【要約】

【目的】 シリコンカーバイトを半導体材料として採用する際に問題となるターンオフ時の耐圧性能を向上し、導通抵抗が低く、スイッチング速度の早いなどの特性を有し、装置の小型化などを図ることが可能なシリコンカーバイト製の絶縁ゲート型半導体装置を実現する。

【構成】 p型のベース層8の底部にp<sup>+</sup>型の埋め込み層9を形成し、さらに、ベース層8内部にp<sup>+</sup>型のウェル領域7を形成することにより、ターンオフ時に充電電流の流れる経路を低抵抗化し、寄生するトランジスタの導通を防止する。さらに、深い埋め込み層9を実現するために、2層のドレイン層3および4を採用する。



## 【特許請求の範囲】

【請求項1】 シリコンカーバイトを主たる材料とする半導体装置であって、第2導電型のドレイン領域上に接続されたドレイン電極と対峙する位置に、ソース電極の設置される第2導電型のソース領域が内部に形成された第1導電型のベース領域と、この第1導電型のベース領域上に前記ソース領域から前記ドレイン領域に亘ってゲート酸化膜を介して設置されたゲート電極とを有する絶縁ゲート型半導体装置において、前記ベース領域底部に該ベース領域に比して不純物濃度の高い第1導電型の高濃度領域が形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項2】 請求項1において、前記ドレイン領域は、前記ベース領域の形成された第2層のドレイン領域と、この第2層のドレイン領域がエピタキシャル成長する基部となる第1層のドレイン領域とからなり、前記高濃度領域が、この第1層のドレイン領域と前記第2層のドレイン領域との接合面に形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項3】 請求項2において、前記第2層のドレイン領域の不純物濃度が、前記第1層のドレイン領域の不純物濃度に比して低いことを特徴とする絶縁ゲート型半導体装置。

【請求項4】 請求項1ないし3のいずれかにおいて、前記ベース領域内部に該ベース領域と比して不純物濃度の高い第1導電型のウェル領域が形成されていることを特徴とする絶縁ゲート型半導体装置。

【請求項5】 シリコンカーバイトを主たる材料とする半導体装置であって、第2導電型のドレイン領域上に接続されたドレイン電極と対峙する位置に、ソース電極の設置される第2導電型のソース領域が内部に形成された第1導電型のベース領域を有する絶縁ゲート型半導体に

$$R_{on} \propto E_m^{-3}$$

【0005】また、スイッチング速度 $t_f$ においては、以下のような関係が近似的に成り立つ。

$$t_f \propto E_m^{-1}$$

【0007】図7に示す従来のパワーMOSFETの構造を基に説明すると、式(1)は、導通時の素子の主な抵抗がドレイン層11の抵抗に等しいと考えたものである。

【0008】すなわち、従来のMOSFETにおいては、ドレイン電極12が裏面に接続された $n^+$ 型の半導体基板5の表面にエピタキシャル成長させた $n^-$ 型のドレイン層11が形成されており、そのドレイン層11の表面に $p$ 型のベース層8、さらにそのベース層8の内部に $n^+$ 型のソース層6が形成されている。そして、ベース層8の表面からソース層6の表面に亘ってソース電極10が接続されており、さらに、ソース層6の表面からベース層8を経てドレイン層11の表面に亘ってゲート絶縁膜2を介してゲート電極1が設置されている。この

において、前記第1導電型のベース領域の表面に前記ソース領域から前記ドレイン領域に亘って第2導電型のチャネル形成層を有し、このチャネル形成層上にゲート酸化膜を介してゲート電極が設置されていることを特徴とする絶縁ゲート型半導体装置。

【請求項6】 請求項5において、前記チャネル形成層は、前記ソース領域に比して不純物濃度の低い低濃度層であることを特徴とする絶縁ゲート型半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、シリコンカーバイト(SiC)を主たる半導体材料として用いた絶縁ゲート型の半導体装置に関し、特に、パワーデバイスに用いられる半導体装置の構造に関するものである。

## 【0002】

【従来の技術】パワーデバイスとして用いられる半導体装置の主たる半導体材料は、従来シリコン(Si)が採用されている。しかし、抵抗値の低減、冷却の問題など材料に起因する限界から、種々の新しい材料が検討されている。その中で、シリコンカーバイト(SiC)は、最大電界強度( $E_m$ )がシリコンと比べて1桁以上大きいことから、次世代のパワーデバイスの主たる材料として注目を集めている。すなわち、最大電界強度( $E_m$ )と、導通時の抵抗 $R_{on}$ 、またスイッチング速度 $t_f$ は以下の関係にあるため、最大電界強度( $E_m$ )が1桁以上大きくなることにより、性能の大幅な向上が図られるのである。

【0003】先ず、MOSFETにおいて、導通時の抵抗 $R_{on}$ については、以下のような関係が近似的に成立する。

## 【0004】

## 【数1】

$$\cdots \cdots (1)$$

## 【0006】

## 【数2】

$$\cdots \cdots (2)$$

ため、ゲート電極1に高電位を印加すると、ベース層8の表面にチャネルが形成され、このチャネルを通してソース層6からドレイン層11、さらに、基板5に電流が流れる。そして、この主たる経路となるドレイン層11の抵抗に基づき近似した結果が式(1)に表されている。この仮定は、300V以下の耐圧の素子においては、チャネルの抵抗が大きくなるため、その影響を加味する必要があるが、300V以上の耐圧をもった素子ではほぼ正しい。すなわち、高耐圧の素子においては、最大電界強度( $E_m$ )が大きくなることにより、導通時の抵抗 $R_{on}$ が急激に低下するのである。このため、シリコンカーバイトを主たる半導体材料として用いたパワーデバイスにおいては、シリコン製のパワーデバイスと比べて抵抗を非常に小さくすることができるので、同じ電

流密度を確保する素子としては、素子面積を大幅に小さくすることができる。従って、従来のパワーデバイスと比べて、小型軽量で、さらに低価格のパワーデバイスを実現できることとなる。なお、近似式(1)によると最大電界強度( $E_m$ )が1桁大きくなると、3桁程度の導通時の抵抗 $R_{on}$ の減少が予想されるが、シリコンカーバイト中の電子移動度が小さいため、約2桁程度の減少となる。従って、シリコンカーバイトを用いることにより、素子抵抗をシリコンの場合の $1/10$ 以下とすることができる。

【0009】さらに、シリコンカーバイトは、シリコンと比較し、バンドギャップがエネルギー差が2倍以上あるため、耐圧性能などへの温度の影響が非常に小さい。従って、シリコンカーバイトを主たる材料としたパワーデバイスにおいては、従来のパワーデバイスでは必要であった冷却を考慮する必要がない。このため、シリコンカーバイトによるパワーデバイスをを用いることにより装置の小型化、低価格化を容易に実現することができる。

【0010】

【発明が解決しようとする課題】このように、シリコンカーバイトを用いたパワーデバイスは、従来のシリコンによるパワーデバイスに比べ多くの長所を有しており、将来有望な半導体材料である。しかしながら、シリコンカーバイト中のキャリアの移動度が低いという問題がある。特に、正孔の移動度が低く、p領域の抵抗が大きくなる傾向がある。

【0011】このため、下記するように、電圧阻止能力が低下し、素子破壊に至ることが考えられる。

【0012】すなわち、シリコンカーバイトを半導体材料として採用した装置においても、シリコンと同様にドナー、アクセプタを導入することによりp型、n型の伝導領域や、pn接合面を形成している。そして、シリコンカーバイトに対しては、アクセプタとしてBやAlを導入することによりp型の拡散領域を形成できることが知られている。しかし、これらのアクセプタレベルが0.2eVとかなり深く、室温においては、導入されたアクセプタの内、熱的に活性化してキャリアを出しているのは数パーセント以下である。さらに、シリコンカーバイト中の正孔の移動度は数 $10$ 程度と低い。従って、シリコンを比較すると、同一のアクセプタ濃度では、シリコンカーバイトの方がはるかに抵抗が高くなる。

【0013】一方、図7に示すMOSFETにおいて、p型ベース層8のアクセプタ濃度は、チャネルを形成するMOS反転層の閾値が一定となるように設計される。通常のシリコンのMOSFETでは $10^{16} \sim 10^{17} \text{ cm}^{-3}$ 程度に設定されるが、これ以上にアクセプタ濃度を高くすると閾値が増大し容易に駆動できなくなることため、自由にアクセプタ濃度を大きくすることは不可能である。従って、シリコンカーバイトを材料とするMOSFETにおいては、p型ベースの抵抗値が高くなってし

まう。

【0014】このように抵抗がベース層は、動特性の悪化をもたらすこととなる。すなわち、素子が導通状態から非導通状態に移行するときは、外部電圧が素子のソース10・ドレイン12間に除々に加わることとなる。この電圧は、p型ベース層8とn型ベース層11との間のpn接合に印加され、それぞれの層に空乏層20、19が広がる。そして、この空乏層19、20は、電圧の上昇と共に広がり、イオン化したドナー18およびイオン化したアクセプタ19を残して、この領域に位置したキャリアを排除していく。そして、正孔電流16はソース電極10へ、また、電子電流15はドレイン電極12側へ流れる。このため、これらのキャリアがpn接合を充電する充電電流としてソース電極10へも流れ込む。そして、この充電電流によりソース層6、ベース層8およびドレイン層11により構成されるpnptランジスタが導通状態となり、大きな電流が素子に流れ、電圧素子能力を失い素子破壊に至ることとなる。

【0015】図8に、このターンオフ時の状態を説明するための等価回路を示してある。図7に示すMOSFETにおいては、外部電源21に負荷インダクタンス24を介してソース層6、ベース層8およびドレイン層11により構成されるpnptランジスタ14が接続された形となっている。そして、このランジスタ14のベースとコレクタの間にはベース層8の抵抗成分23が、また、ベースとエミッタの間には、空乏層19および20の接合容量22が接続された形となっている。従って、接合容量22を充電する充電電流が抵抗成分23に流れると、この抵抗成分23の電圧降下により、ランジスタ14のベース電位が上昇し、ランジスタ14のコレクタ・エミッタ間が導通状態となるのである。この現象はラッチアップと呼ばれ、素子のターンオフ時に破壊の原因となることがある。

【0016】このように、シリコンカーバイトを主たる材料とする半導体装置においては、導通時の抵抗が低く、また、耐熱性も高いなど多くの利点を有しながら、MOSFETの閾値を一定に保つなどの条件からターンオフ時の耐圧を高くすることが出来ないという問題がある。

【0017】そこで、本発明においては、上記の問題点に鑑みて、シリコンカーバイトを主たる材料として用いる絶縁ゲート型半導体装置のベース層の抵抗を低減することによりターンオフ時の耐圧性能の保持された半導体装置を実現することを目的としている。

【0018】

【課題を解決するための手段】上記の課題を解決するために、本発明においては、ベース領域の底部に局部的に濃度の高い接合領域を形成するようにしている。すなわち、本発明に係るシリコンカーバイトを主たる材料とする半導体装置であって、第2導電型のドレイン領域上に

設置されたドレイン電極と対峙する位置に、ソース電極の設置される第2導電型のソース領域が内部に形成された第1導電型のベース領域と、この第1導電型のベース領域上にソース領域からドレイン領域に亘ってゲート酸化膜を介して設置されたゲート電極とを有する絶縁ゲート型半導体装置においては、ベース領域底部に該ベース領域に比して不純物濃度の高い第1導電型の高濃度領域を形成するようにしている。

【0019】シリコンカーバイトを半導体材料として用いた場合は、不純物の拡散係数がシリコンと比較し、極端に小さく深い接合領域を形成することは非常に難しい。このため、ドレイン領域を、ベース領域の形成された第2層のドレイン領域と、この第2層のドレイン領域がエピタキシャル成長する基部となる第1層のドレイン領域とから構成し、高濃度領域をこの第1層のドレイン領域と第2層のドレイン領域との接合面に形成することが有効である。

【0020】また、第2層のドレイン領域の不純物濃度を、第1層のドレイン領域の不純物濃度に比して低く保持することが有効である。さらに、ベース領域内に、該ベース領域と比して不純物濃度の高い第1導電型のウェル領域を形成することが望ましい。

【0021】また、上記と同様シリコンカーバイトを主たる材料とする半導体装置であって、第2導電型のドレイン領域上に接続されたドレイン電極と対峙する位置に、ソース電極の設置される第2導電型のソース領域が内部に形成された第1導電型のベース領域を有する絶縁ゲート型半導体において、第1導電型のベース領域の表面にソース領域からドレイン領域に亘って第2導電型のチャンネル形成層を有し、このチャンネル形成層上にゲート酸化膜を介してゲート電極を設置することも有効である。そして、このチャンネル形成層を、ソース領域に比して不純物濃度の低い低濃度層とすることが望ましい。

【0022】

【作用】シリコンカーバイトを主たる材料とする絶縁ゲート型半導体装置において問題となる点は、上述したようにチャンネルを形成する閾値を一定に保つため、ベース領域の抵抗を低くすることができないことである。従って、ベース領域底部の不純物濃度の高い高濃度領域を形成することにより、チャンネルの形成されるベース領域表面の不純物濃度を変えずにベース領域内の抵抗を低減を図ることができる。このため、先ず、高濃度領域を第1層のドレイン領域の表面に拡散形成した後、第2層のドレイン領域をこの第1層のドレイン領域表面上にエピタキシャル成長させることにより、不純物の拡散係数の低いシリコンカーバイトを半導体材料とする装置においても、深い高濃度の拡散領域を容易に形成することができる。

【0023】また、第2層のドレイン領域の不純物濃度を低下させることにより、ターンオフ時に流れる充電電

流の低減が図られ、この充電電流による絶縁ゲート型半導体装置に寄生するトランジスタの導通を抑制することが可能となる。

【0024】さらに、ベース領域内部に高濃度のウェル領域を形成することにより、一層ベース領域の抵抗値を下げる事が可能であり、ターンオフ時の耐圧性能の向上を図ることができる。

【0025】一方、第1導電型のベース領域の表面にソース領域からドレイン領域に亘って第2導電型のチャンネル形成層を有し、このチャンネル形成層にゲート酸化膜を介してゲート電極を設置することによっても、ターンオフ時の耐圧性能の向上を図ることが可能である。すなわち、ベース領域の表面に形成されたチャンネル形成層を用いて接合型の電界効果トランジスタを形成し、ターンオン・ターンオフの機能を持たせることができる。従って、第1導電型のベース領域を高濃度としても、チャンネルを形成する閾値には影響がなく、このため、高濃度のベース領域を通じて充電電流を流すことが可能となる。その結果、高濃度のベース領域を流れる充電電流による電圧降下を小さく抑えることができ、寄生トランジスタの動作を抑制し、ラッチアップを防止することが可能となる。

【0026】このようなチャンネル形成層を設けた場合は、このチャンネル形成層の不純物濃度、層厚などにより閾値を制御することができ、不純物濃度を低濃度とすることにより制御性の良い絶縁ゲート型半導体装置を実現することが可能である。

【0027】

【実施例】以下に図面を参照して、本発明の実施例を説明する。

【0028】〔実施例1〕図1に本実施例に係る絶縁ゲート型半導体装置の構造を示してある。本装置はシリコンカーバイトを主たる半導体材料として構成されており、先ず、ドレイン電極12が裏面に接続されるn<sup>+</sup>型の半導体基板5の表面にエピタキシャル成長させたn<sup>-</sup>型の第1のドレイン層4が形成されている。そして、この第1のドレイン層4上にエピタキシャル成長によりn<sup>-</sup>型の第2のドレイン層3が形成されている。この第2のドレイン層3のドナー濃度は、第1のドレイン層4より低くなるように調整されており、さらに、第2のドレイン層の厚さも1μm前後とできるだけ薄く形成されている。また、第1のドレイン層4上には、高濃度であるp<sup>+</sup>型の埋め込み層9が形成されている。そして、この埋め込み層9の上部に、第2のドレイン層3を用いて形成されたp型のベース層8が構成されている。このp型のベース層8内の表面部分には、n<sup>+</sup>型のソース層6が、また、ベース層8の中心部分にはp<sup>+</sup>型のウェル7が形成されている。そして、ソース層6からウェル7にかけてソース電極10が接続されており、さらに、ソース層6の端部からベース層8の表面、第2のドレイン層

3の表面に亘って、ゲート酸化膜2を介してゲート電極が設置されている。なお、本例のMOSFETの導通状態は、先に説明した従来のMOSFETと同様につき説明を省略する。

【0029】このような構成の本装置において、ターンオフ時にソース電極10とドレイン電極12に電位差が生ずると、ベース層8と第2のドレイン層3とのpn接合部および埋め込み層9と第1のドレイン層4とのpn接合部に空乏層が形成される。そして、主に埋め込み層

$$N \propto \sqrt{\rho V}$$

【0031】ここで、 $\rho$ はイオン密度であり、Nはイオンの総量である。つまり、イオン密度が小さいほどイオンの総量も少なく、充電電流も少なくなるのである。本装置においては、ベース層8のアクセプタ濃度は、埋め込み層9に比べて低く、さらに、第2のドレイン層3のドナー濃度は、第1のドレイン層4のドナー濃度に比べて低い。従って、ベース層8と第2のドレイン層3とのpn接合部に広がる空乏層からの充電電流は、埋め込み層9と第1のドレイン層4とのpn接合部に空乏層からの充電電流に比べて非常に小さくなる。

【0032】このように、本装置においては、埋め込み層9と第1のドレイン層4とのpn接合部から主に充電電流が流れ、その充電電流の多くが流れる埋め込み層9は高濃度の拡散層であるため、抵抗値は低くなっている。さらに、本装置においては、ベース層8の内部にアクセプタ濃度の高いウェル7が形成されているので、埋め込み層9からの充電電流がソース電極10に流れる経路全体において抵抗値が低くなるように設計されている。従って、充電電流がベース層を流れることに起因する電圧降下を低減することが可能となり、ソース層10、ベース層8およびドレイン層3、4により構成される寄生トランジスタを導通状態とするような不具合を避けることができる。従って、本装置においては、ターンオフ時に寄生トランジスタがオンとなり、過剰の電流が流れることによる素子破壊発生を防止することができる。

【0033】このように、本装置においては、チャネル形成の閾値には影響を与えずにターンオフ時の電流を抵抗の低い高濃度の拡散層を経由して流すことにより、ベース層における電圧降下を抑制することができる。従って、最大電界強度(E<sub>m</sub>)が大きく、導通時の抵抗R<sub>on</sub>およびスイッチング速度t<sub>f</sub>の大幅な改善が見込まれるシリコンカーバイドを半導体材料として用いながら、問題であったターンオフ時の耐圧性能を向上することが可能となる。

【0034】不純物の拡散係数の小さいシリコンカーバイドを用いて本例のような半導体装置を形成するうえで、問題となる点に、高濃度の埋め込み型の拡散層を形成することがある。そして、本例の装置においては、この点を2層のドレイン層、すなわち、第1のドレイン層

9と第1のドレイン層4とのpn接合部から充電電流がソース電極10に向かって流れる。これは、流れる電流の総量が空乏層中のイオン化したドナーまたはアクセプタの総量に等しいためである。電圧Vが印加されているときの空乏層中のイオンの総量は以下の式により近似される。

【0030】

【数3】

$$\dots\dots\dots (3)$$

3および第2のドレイン層4を順次形成することにより、高濃度の埋め込み型の拡散層の形成を容易としている。

【0035】図2に、本例の装置を製造する工程の一例を示してある。まず、図2(a)に示すように、n<sup>+</sup>型の半導体基板5上にエピタキシャル成長させたn<sup>-</sup>型の第1のドレイン層4に高濃度で低抵抗のp<sup>+</sup>型層9を部分的に拡散などの方法で形成する。次に、図2(b)に示すように、この第1のドレイン層4上にn<sup>-</sup>型の第2のドレイン層3をエピタキシャル成長により形成する。このように、ドレイン層を2層に分けて形成することにより、深い高濃度の埋め込み層を容易に形成することができる。なお、第2のドレイン層3は、上述したように、なるべく薄い方が良く、本例においては、約1μm程度としてある。これは、この層厚が後述するp型ベース層8から空乏層が広がる範囲となるため、層厚が少ない程、空乏層領域を限定することが可能であり、充電電流の減少を図ることができるからである。

【0036】次に、図2(c)に示すように、上記にて形成したシリコンカーバイド製の半導体基板上にゲート絶縁膜2およびゲート電極1を形成する。そして、図2(d)に示すように、このゲート電極1をマスクとしてp型のベース層8およびn<sup>+</sup>型のソース層6を形成する。さらに、ソース層6およびベース層8に接続されるソース電極10と、埋め込み層9との間の抵抗を下げるために、ベース層8内部にp<sup>+</sup>型のウェル領域7を形成する。また、ベース層8と第2のドレイン層3との間に広がる空乏層からの充電電流を低減するために、第2のドレイン層3の不純物濃度を第1のドレイン層4より低下させた方がよいことは、上記にて説明した通りである。

【0037】〔実施例2〕図3に本実施例に係る絶縁ゲート型半導体装置の構造を示してある。本装置も実施例1と同様に、シリコンカーバイドを主たる半導体材料として構成されている。また、ドレイン電極12が裏面に接続されるn<sup>+</sup>型の半導体基板5の表面にエピタキシャル成長させたn<sup>-</sup>型のドレイン層4が形成されている点も実施例1と同様である。本例の装置において着目すべき点は、このドレイン層4の上に高濃度であるp<sup>+</sup>型のベース層30が形成されていることである。さらに、こ

のベース層30の表面に形成された $n^+$ 型のソース層6からドレイン層4に亘って、 $n$ 型のチャネル形成層31が形成されていることである。そして、このチャネル形成層31の上にゲート酸化膜2を介してゲート電極が設置されている。

【0038】チャネルが形成される部分を拡大して示した図4に基づき、本装置の動作を説明する。本例の装置は、チャネル形成層31を用いて、いわゆる接合型電界効果トランジスタ(JFET)を形成したものである。まず、ゲート電極4にソース電極10に対し正または小さな値の負の電位が制御電源28から印加されている場合は、チャネル形成層31の表面からベース層30に向かって形成される空乏層36の広がり小さい。従って、ソース層6からの電子は、この空乏層36と、ベース層30から広がる空乏層35との間の経路37を通過してドレイン層4へ流れる。

【0039】ゲート電極4に印加される負の電位を大きくしていくと、空乏層36はベース層30に向かって広がって行き電子の通路は狭くなる。そして、ついに、ベース層30から広がる空乏層35と接続するピンチオフ

$$V_t = q \cdot N_d \cdot W (d/E_i + W/2E_s) \cdots (4)$$

【0042】ここで、 $q$ は素電荷、 $N_d$ はチャネル形成層31のドナー濃度、 $W$ はチャネル形成層31の厚さ、 $E_i$ はゲート絶縁膜2の誘電率、 $E_s$ は半導体の誘電率を示す。なお、電界電荷は無視している。この式を用いて、例えば、 $d=1000\text{\AA}$  ( $\text{SiO}_2$ )、 $W=0.1\mu\text{m}$ 、 $N_d=10^{16}\text{cm}^{-3}$ とすると、閾値 $V_t$ として略1.2Vという値を得ることができ、シリコンを用いた半導体装置と同様に扱うことができることが判る。なお、本装置がオフするに従ってドレイン電極側の電圧が上昇し、ベース層30からの空乏層35がさらに広がることから、閾値 $V_t$ は上記の値より小さくなる。

【0043】図5および6に、本例の装置を製造する工程の一例を示してある。まず、図5(a)に示すように、 $n^+$ 型の半導体基板5上にエピタキシャル成長させた $n$ -型のドレイン層4が形成されたSiC基板を用いる。そして、このドレイン層4の表面に、フォトリソスト32によりパターンを形成し、その上から $p$ 型不純物イオン33を注入し、高濃度で低抵抗の $p^+$ 型層30を形成するための $p$ 型不純物を導入する。勿論、この $p^+$ 型層30をなるべく低抵抗とするために、その他の方法、例えば、気相拡散あるいはエピタキシャル成長などによって形成しても良い。

【0044】次に、図5(b)に示すように、イオン注入で導入した不純物を熱処理により活性化し $p^+$ 型層30を形成する。そして、図5(c)に示すように、 $p^+$ 型層30が形成された上に、さらに $n$ 領域31を一樣にエピタキシャル成長により形成する。この $n$ 領域によりチャネル形成層31が構成されるが、不純物濃度は $10^{15} \sim 10^{18}\text{cm}^{-3}$ 程度、厚さは $0.1 \sim \text{数}\mu\text{m}$ 程度が実

の状態となると、電子の通路はなくなるので、電子は流れなくなり、本装置はターンオフの状態となる。オフ状態で、ドレイン電極12とソース電極10との電位差が大きくなると、ベース層30から空乏層35が広がり充電電流が流れ、従来の装置では問題となっている。しかし、本例の装置においては、ベース層30を高濃度に設定してあるので、充電電流によりベース層30の電位が高くなることはなく、ソース層6、ベース層30およびドレイン層4により構成される寄生トランジスタがオンとなることはない。従って、ターンオフ時のラッチアップを防止することができる。

【0040】この素子のオン・オフは、上述したように、 $n$ 型の領域であるチャネル形成層31に広がる空乏層36により制御される。従って、本装置のゲート電位の閾値 $V_t$ は、チャネル形成層31の厚さ、ドナー濃度によって決定される。例えば、閾値 $V_t$ として空乏層36がチャネル形成層31の厚さだけ広がった値を採用すると、 $V_t$ は以下の式で表される。

【0041】

【数4】

現しうる値である。

【0045】次に、図6(a)に示すように、ゲート絶縁膜2およびゲート電極1を形成して、パターニングを行う。SiCは熱酸化することにより $\text{SiO}_2$ が成長できるので、絶縁膜2としてはこの $\text{SiO}_2$ を用いることが望ましい。そして、図6(b)に示すように、ゲート電極1をマスクとして、イオン注入法あるいは気相拡散法などにより $n^+$ 型のソース層6を形成する。その後、図6(c)に示すように、ソース層6を部分的に掘って、ベース層30を露出させ、ソース電極との接合が可能ないようにしている。勿論、図6(b)に示す工程において、ソース層6の一部に表面から $p^+$ 型の拡散を形成し、ベース層30と接合させることによって、ソース電極とベース層30を接続することも可能である。このようにして形成された半導体装置に、電極を形成して本例の装置は完成する。

【0046】なお、上記実施例1および2において、半導体基板の裏面にドレイン電極が設置され、表面にソース電極が設置された縦型のパワーデバイスに基づき説明したが、同じ面にドレイン電極およびソース電極が設置される横型のパワーデバイスにおいても、上記実施例と同様の構成により低導通抵抗および高速スイッチングが可能で、ターンオフ時の耐圧性能の高いデバイスを実現することができる。そして、装置の小型化、軽量化など、近年パワーデバイスに要求される種々の性能を備えたものを実現することが可能となる。また、上記の実施例は、MOSFETに基づき説明してきたが、本発明に係る技術は、IGBT、MCTなどのすべての絶縁ゲート型半導体装置に適用可能なものである。

## 【0047】

【発明の効果】以上に説明したように、本発明に係る絶縁ゲート型半導体装置においては、最大電界強度（ $E_m$ ）が大きく、導通時の抵抗 $R_{on}$ およびスイッチング速度 $t_f$ の大幅な改善が見込まれるうえ、耐熱特性の良好なシリコンカーバイドを、半導体材料として採用するうえで問題となっていたターンオフ時の耐圧性能を、ベース領域に深い高濃度領域を形成することにより解決している。さらに、本発明に係る半導体装置においては、拡散係数の低いシリコンカーバイドを材料として用いる際に問題となる深い拡散層を容易に形成可能な構成を採用しており、安価な装置を提供することが可能である。

【0048】また、ベース領域の表面に、チャネル形成層を設け、このチャネル形成層を用いて接合型の電界効果によりオン・オフをすることによっても、ベース領域を高濃度として低抵抗化を図ることが可能である。従って、ターンオフ時においてシリコンカーバイドを材料とした半導体装置で問題であった寄生トランジスタのラッチアップを抑制することができ、ターンオフ時の耐圧性能を確保することが可能となる。

【0049】このように、本発明に係る構成の半導体装置を用いることにより、シリコンカーバイドの特性を活かしたパワーデバイスを実現することが可能となり、高性能で小型、軽量の絶縁ゲート型半導体装置を提供することが可能となる。そして、本発明に係るパワーデバイスを用いることにより、各種装置の小型、軽量、さらに省電力化に寄与することができる。

## 【図面の簡単な説明】

【図1】本発明の実施例1に係る絶縁ゲート型半導体装置の構成を示す断面図である。

【図2】図1に示す絶縁ゲート型半導体装置の製造過程を示す断面図である。

【図3】本発明の実施例2に係る絶縁ゲート型半導体装置の構成を示す断面図である。

【図4】図3に示す絶縁ゲート型半導体装置のチャネル形成層に係る部分を拡大して示す断面図である。

【図5】図3に示す絶縁ゲート型半導体装置の製造過程の前半を示す断面図である。

【図6】図3に示す絶縁ゲート型半導体装置の製造過程の後半を示す断面図である。

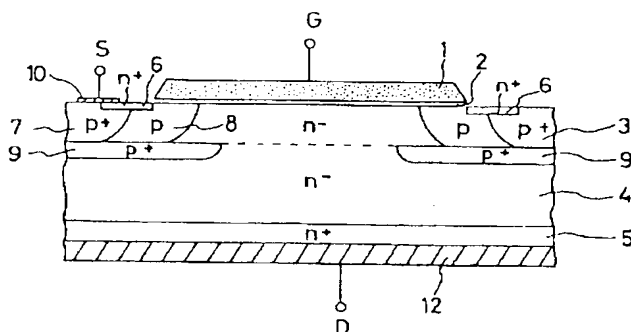
【図7】従来の絶縁ゲート型半導体装置の動作を説明するための概略構成図である。

【図8】図7に示す絶縁ゲート型半導体装置の等価回路を示す回路図である。

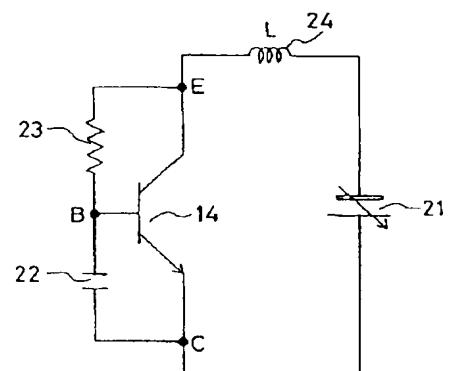
## 【符号の説明】

- 1 . . . ゲート電極
- 2 . . . ゲート絶縁膜
- 3 . . .  $n^-$  型の第2のドレイン層
- 4 . . .  $n^-$  型の第1のドレイン層
- 5 . . .  $n^+$  型の半導体基板
- 6 . . .  $n^+$  型のソース層
- 7 . . .  $p^+$  型のウェル領域
- 8 . . .  $p$  型のベース層
- 9 . . .  $p^+$  型の埋め込み層
- 10 . . . ソース電極
- 11 . . . ドレイン層
- 12 . . . ドレイン電極
- 14 . . .  $n p n$  トランジスタ
- 15 . . . 電子電流
- 16 . . . 正孔電流
- 17 . . . イオン化したドナー
- 18 . . . イオン化したアクセプタ
- 19、20 . . . 空乏層
- 30 . . .  $p^+$  型のベース層
- 31 . . .  $n$  型のチャネル形成層
- 32 . . . フォトリソスト
- 33 . . .  $p$  型不純物イオン
- 34 . . .  $p$  型不純物
- 35、36 . . . 空乏層
- 37 . . . 電子電流の経路
- 38 . . . 制御電源

【図1】

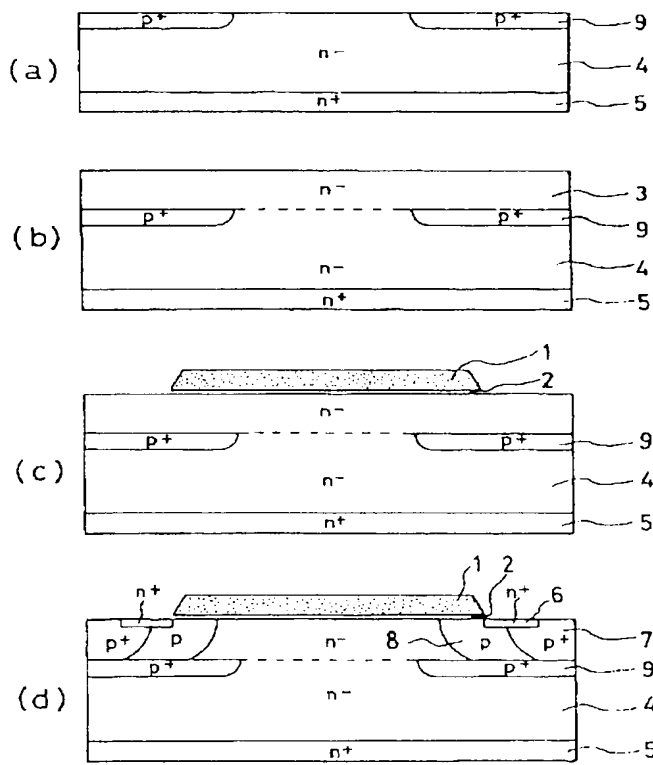


【図8】

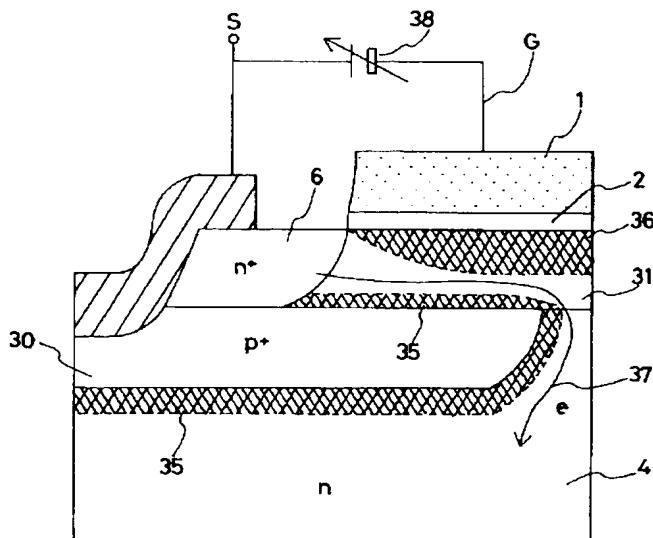




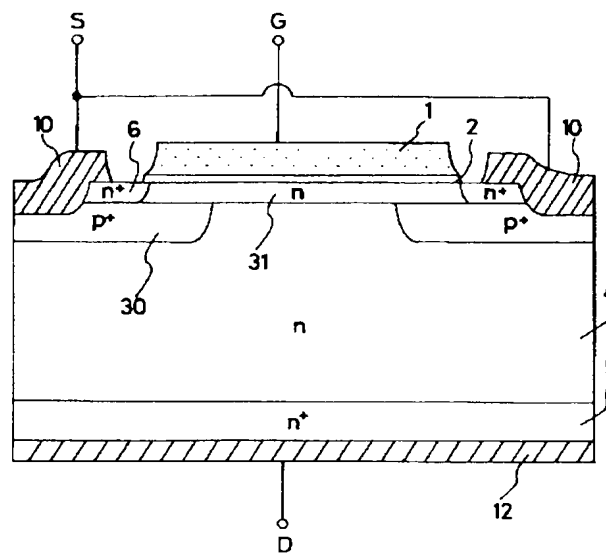
【図2】



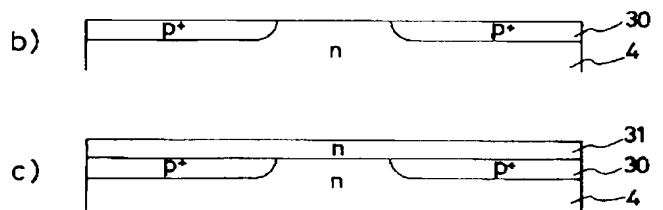
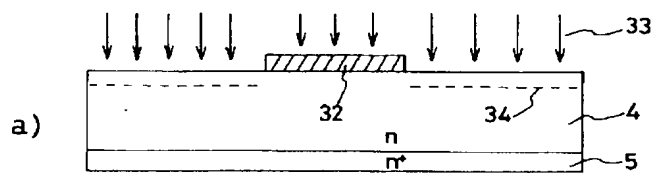
【図4】



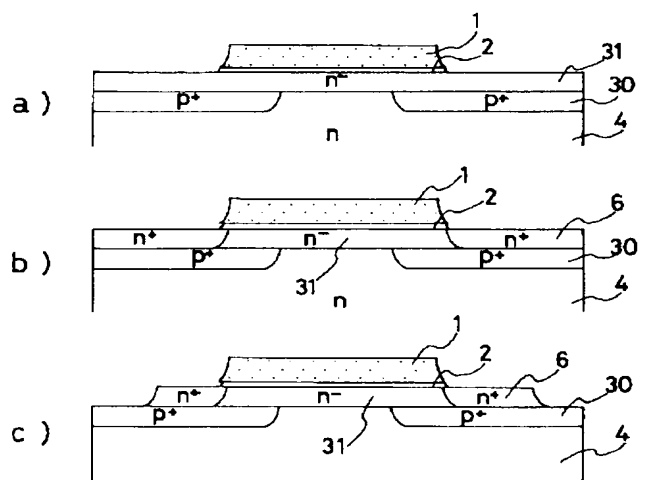
【図3】



【図5】



【図6】



【図7】

